

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-289306

(43)Date of publication of application : 27.10.1998

(51)Int.Cl. G06T 1/60
 G06F 3/153
 G06F 12/02
 G09G 5/00
 G09G 5/18

(21)Application number : 09-093426

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.04.1997

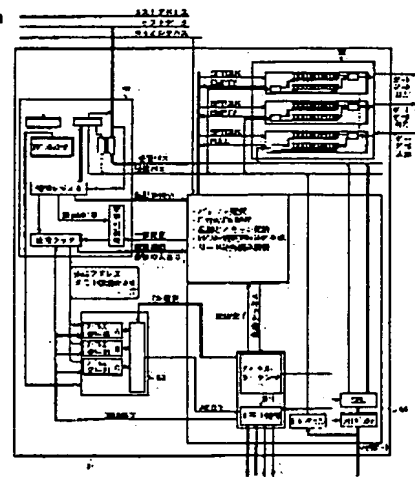
(72)Inventor : MORITA KEISUKE

(54) MEMORY CONTROL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent such a case where no input/output of data is performed synchronously with an external timing signal via a memory controller and no time lag is caused in a period covering the start of the external timing signal through the output of port data in a port data output mode.

SOLUTION: Plural surfaces of data buffers are prepared at an I/O port part 62 and perform the mutual transfer of data. A scan control part 64 includes a change recognition part to recognize the change of a control register contained in a host I/F 65, and a start control part produces a pre-read memory read sequence start signal. Furthermore, the I/F 65 includes a change control register and a change control part to change the output of the control register synchronously with the change control register and an external timing signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-289306

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl. ⁸	識別記号	F I
G 0 6 T 1/60		G 0 6 F 15/64 4 5 0 E
G 0 6 F 3/153	3 3 6	3/153 3 3 6 A
12/02	5 8 0	12/02 5 8 0
G 0 9 G 5/00	5 5 0	G 0 9 G 5/00 5 5 0 R
5/18		5/18

審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平9-93426

(22) 出願日 平成9年(1997)4月11日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 森田 恵介

茨城県ひたちなか市大字市毛882番地 株
式会社日立製作所計測器事業部内

(74) 代理人 弁理士 小川 勝男

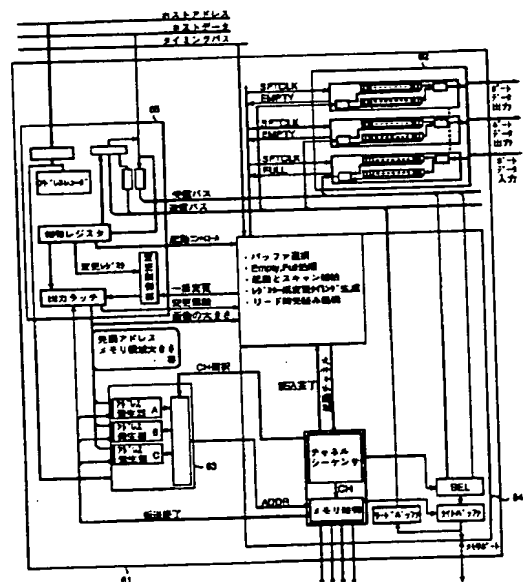
(54) 【発明の名称】 メモリコントロール装置

(57) 【要約】

【課題】 メモリコントローラで外部タイミング信号17に同期して、データの入出力が行われず、ポートデータ出力時に、外部タイミング信号17の起動から、ポートのデータ出力までタイムラグが発生する。

【解決手段】 I/Oポート部62に、複数面のデータバッファを設け、交互転送を行い、スキャンコントロール部64にホストI/F65内の制御レジスタの変更を認識する変化認識部を置き、起動制御部が、先読みメモリリードシーケンス起動信号を発生する。さらに、ホストI/F65内に変更制御レジスタ、変更制御部を置き、変更制御レジスタと外部タイミング信号に同期し、制御レジスタ出力を変化する。

図 6



1

【特許請求の範囲】

【請求項1】画像などの大量データを高速に取り扱う大規模メモリを用いた画像処理システム等における複数の入出力メモリポートを持つ場合のメモリコントロール方式において、

データポートインタフェース部のI/Oポート部と、メモリのアドレス制御を行うアドレスシーケンス部と、上記複数のI/Oポートの起動に従い、メモリ、および、上記I/Oポートの制御を行うスキャンコントロール部と、ホストプロセッサの制御によりメモリ使用矩形域やメモリ先頭位置、各種アドレス変換等の情報を保持する制御レジスタを持つホストI/F部とよりなるメモリコントローラに対し、
入出力データの連続性を確保し、リアルタイムにデータ転送、処理を可能とするために、上記メモリのデータ転送幅に準じ、複数面のデータバッファを置いた上記I/Oポート部と、それぞれのバッファのリード、および、ライト転送の切替制御を外部タイミング信号によりリアルタイムに制御するスキャンコントロール部により構成したメモリコントローラを含むことを特徴とするメモリコントロール装置。

【請求項2】請求項1において、外部メモリアドレスタイミング信号に同期して、データ転送をリアルタイムに実行するため、上記スキャンコントロール部に対し、ホストI/F部内の制御レジスタより与えられるメモリ使用矩形域やメモリ先頭位置、各種アドレス変換等の各メモリ制御情報が変更したことを認識する変更認識部を持ち、また、その変更認識部により、変更時の外部メモリアドレスタイミング信号の制御に無関係に、メモリアドレスシーケンスを起動し、請求項1のI/Oポート部データバッファに先行転送するという機構を持つ、スキャンコントロール部により構成したメモリコントローラを有するメモリコントロール装置。

【請求項3】請求項1において、外部メモリアドレスタイミング信号の起動停止に関係することなく、ホストI/F部内の制御レジスタ群の変更をホストプロセッサ側より、随時可能にするために、ホストI/F部の制御レジスタの各出力にさらにハード出力レジスタを置き、また、制御レジスタ内にこのハード出力レジスタを制御するレジスタ、または制御レジスタ群の変更を監視する変更監視部を設け、外部メモリアドレスタイミング信号と、変更監視部により決定付けられるハード出力レジスタを制御する変更制御部を置いた、スキャンコントロール部、および、ホストI/F部により構成したメモリコントローラを有するメモリコントロール装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリコントロール装置に関する。

【0002】

2

【従来の技術】従来の技術は、図1に示すように、データポートインタフェース部I/Oポート部11、メモリのアドレス制御を行う、アドレスシーケンス部12、複数I/Oポートの起動に従い、メモリ、および、I/Oポートの制御を行う、スキャンコントロール部13、および、ホストプロセッサの制御によりメモリ使用矩形域やメモリ先頭位置、各種アドレス変換等の情報を保持する制御レジスタを持つホストI/F部14より構成するもので、一般に、スキャンコントロール部13には外部メモリ15、I/Oポート部11には外部演算・処理回路16を接続する。スキャンコントロール部13に接続される外部タイミング信号17に従って、I/Oポート部11からデータの入出力を行うが、必ずしも外部タイミング信号17に同期して、データの入出力が行われるわけではない。また、ポートデータ出力（メモリアドレス）時には、外部タイミング信号17の起動から、ポートのデータ出力までタイムラグが発生する。さらに、ホストI/F部14内の制御レジスタの変更は、随時任意に可能ではなく、外部タイミング信号17の動作に依存する。

【0003】

【発明が解決しようとする課題】従来技術では、画像処理システムなどに、本メモリコントローラを適用した場合、扱う入出力のポート数が増加してくるに従い、外部からのコントロール信号のタイミングでデータのリード・ライトを制御することは不可能となる。また、制御レジスタに随時任意にアクセス不可であるため、ソフト作成上の制約が発生する。

【0004】画像データのように、連続してデータの入出力を行う場合には、リード・ライトを連続的に行うことができない、または、入力制御信号に対してタイミングがずれるなどの問題が発生する。

【0005】この問題は、例えば、画像処理における画像データでは、データ抜けや、誤差となって現れるため、外部制御信号に従った入出力を行うための対策が必要である。これは、メモリアクセスのパフォーマンスを飛躍的に向上できれば解決できるが、これは容易ではない。

【0006】

【課題を解決するための手段】そこで、上記問題を解決するための手段として、図1に示すメモリコントローラで、まず、ホストプロセッサ側からホストI/F部14を通じてポートデータの入出力を起動するが、この時、ポートデータインタフェースとなるI/Oポート部11を2面以上のバッファにより構成する。このI/Oポートバッファ構造をポートデータ出力側を図2にポートデータ入力側を、図3にそれぞれ示す。図2はバッファを2面設けた場合の図で、送信パス上にメモリのデータ転送幅に準じ、データバッファ21、および、データバッファ22を接続する。各データバッファは、図1のスキ

3

ンコントロール部13からライト信号を受け、ライト信号セクタ部26で、データバッファ21、または、データバッファ22にライト信号を発生する。データバッファ21にデータが転送された場合、そのデータはシフトクロック27によって、順次ポートデータ出力制御部23に送信する。この送信中に、引き続き、該当外部タイミング信号が有効である場合には、次の、送信バス28上のデータをデータバッファ22に転送するようライト信号セクタ部26を制御する。ポートデータ出力制御部23では、バッファ容量に従いポートデータ出力2109への転送をリードカウンタ24によりカウントし、バッファ容量分の読み出しを完了すると、セクタ25を切替えて、引き続きデータバッファ22のデータを転送し始める。この時点でデータバッファ21を解放し、エンブティ信号210をポートデータ出力制御部23より発生する。同様に、I/Oポートデータ出力についても、図3に示す通り、2面のバッファを持たせてポート入力データを制御する。ただし、入力データの場合は、メモリのパフォーマンスや、内部データ転送の速度に応じて3面以上のバッファを置き、これを同様に制御する。これらにより、送信受信データの連続性が確保され、外部タイミング信号に対するタイミングのずれが解消される。

【0007】次に、図1に示すメモリコントローラの、スキャンコントロール部13で、メモリのリードシーケンスを起動する信号を生成する起動制御部を置く。これを図4に示す。従来のポートデータ出力の起動、停止は、外部タイミング信号に対してのみ行われるのに対し、ここでは制御レジスタよりメモリ制御情報を起動制御部41に入力する。起動制御部41では、ホストI/F部からのメモリ制御情報、すなわち、メモリ先頭アドレスや、メモリ読み出し領域、および、各種アドレス変換などを変化認識部42に入力する。変化認識部42では、各メモリ制御情報の何れかが変化したことを認識すると、これをリード信号起動制御43に入力する。リード信号起動制御43では、外部タイミング信号45の起動タイミングに加え、変化認識部42からの信号変化によってもメモリリードシーケンス起動46信号を発生する。この信号は、外部タイミング信号と無関係に出力する。これにより、外部リードタイミング信号の発生に同期して、I/Oポート部データ出力ポートより取り出せることが可能となる。

【0008】次に、図1に示すメモリコントローラの、ホストI/F部14における詳細を図5に示す。ホストI/F部51の制御レジスタ52の各出力に、出力ラッチ(ハード出力レジスタ)54を置き、また、制御レジスタ52に、出力ラッチ54を制御するためのレジスタ、変更制御レジスタ53を置く。変更制御レジスタ53に書かれた情報は、変更制御部55に送られる。ここで、変更制御部55にはスキャンコントロール部57よ

4

り外部タイミング信号58から生成する一括変更信号59を入力し、変更制御部55で、変更制御レジスタ53の有効時に一括変更信号59が解除されると、出力ラッチ54を解放させる。これにより、外部メモリリードライトタイミング信号の起動停止に関係することなく、ホストI/F部内の制御レジスタ群の変更をホストプロセッサ側より、随時可能にする。このような手段を用いると、メモリコントローラはメモリアクセスのパフォーマンスを向上することなく、連続データ転送を保持した上で、多ポート化、外部タイミング信号のリアルタイム対応、および、制御レジスタの随時リードライトが実現可能となる。

【0009】

【発明の実施の形態】以下、図面を用いて本発明の実施内容を説明する。

【0010】本発明のメモリコントローラの全体図を図6に示す。図6は、実施例として、I/Oポートに出力データポートを二系統、入力データポートを一系統として、I/Oポート内のバッファを二面としてそれぞれ構成したものである。

【0011】図6のメモリコントローラ61は、I/Oポート部62、アドレスシーケンス部63、スキャンコントロール部64、および、ホストI/F部65により構成される。

【0012】まず、ポートデータ出力時の動作を説明する。まず、起動の前に、ホストI/F部65の制御レジスタ群にメモリ使用矩形域やメモリ先頭位置、各種アドレス変換等の情報をそれぞれライトする。その後、制御レジスタ内の変更制御レジスタにアクセスし、変更要求を出す、すると、ホストI/F部65内の変更制御部より、出力ラッチにラッチ信号を伝達し、この時点で制御レジスタ群の情報を、他の各ブロックに伝達する。この時、出力ラッチの変更をスキャンコントロール部64に送り、スキャンコントロール部64内でこれを受けて、メモリリードシーケンスを起動する。すると、制御レジスタの内容に応じて、アドレスシーケンス部63が、該当ポートのアドレスを発生し、スキャンコントロール部64内で外部メモリに対して、リードシーケンスを開始し、I/Oポート部62内のバッファに順次送信データを書く。この後、ポートデータ出力の外部タイミング信号を起動すると、起動から遅れることなく(起動信号の次のポートクロック)、ポートデータ出力より、データが順次転送される。この転送がI/Oポート部62の二面バッファの一方が終了すると、1ポートクロックの間に出力バッファを切替え、連続的に、ポートデータ出力を実行する。この時、バッファ転送終了信号を、スキャンコントロール部64に転送し、これを認識して、再びスキャンコントロール部64内で外部メモリに対して、リードシーケンスを開始し、I/Oポート部62の空きバッファに次の送信データを書き込む。以上の動作を、

5

外部タイミング信号の起動中繰り返すことにより、I/Oポートの連続リード、外部リードタイミング信号に対するリアルタイムデータ出力、随時レジスタR/Wを実現することが可能となる。また、外部タイミング信号の起動中に、ホストI/F65の変更制御レジスタにアクセスされても、外部タイミング信号が停止するまで、制御レジスタ群の情報を、他の各ブロックに伝達することなく、外部タイミング信号が停止後、一斉に伝達される。

【0013】次に、ポートデータ入力時の動作を説明する。まず、出力時と同様に、制御レジスタ群、変更制御レジスタ、を順にアクセスし、この後、ポートデータ入力の外部タイミング信号を起動すると、1ポートクロック後より、順次、ポート入力データを、I/Oポート部62内のバッファにポートクロックに合わせシフトしていく。片側のバッファがフル状態になると、出力時と同様に1ポートクロックの間に入力バッファを切替え、連続的にポートデータ入力を実行する。この時、バッファ転送終了信号をスキャンコントロール部64に転送し、これを認識して、スキャンコントロール部64内で外部メモリに対してライトシーケンスを開始し、フル状態となったバッファのデータを、外部メモリに転送する。以上の動作を外部タイミング信号の起動中繰り返すことにより、I/Oポートの連続ライト、外部ライトタイミング信号に対するリアルタイムデータ入力、随時レジスタR/Wを実現することが可能となる。

【0014】これまで述べた、受信送信動作を多ポートかつ非同期にて実施しても、I/Oポート部62のデータバッファをポート数やメモリのパフォーマンスに合わせて多バッファ構成とすることで、上記の機能を実現できる。

【0015】この発明のメモリコントローラを実際に画像処理システムに適用した例を以下、図7を用いて説明する。

【0016】図7は二系統の画像入力系、および、二系統の画像表示系を持つ画像処理システムで、二入力はいずれも画像処理プロセッサ74にそれぞれ入力され、その処理結果がメモリコントローラ71にそれぞれ入力する形となる。また、メモリ72から読み出したデータを画像処理プロセッサ74に返すパスをそれぞれ2本持っている。表示側では、メモリ72の画像データをテレビ等の表示機に接続するための表示制御部75に対し、それぞれ出力ポートが接続されている。そして全体の入出力タイミングを制御するタイミング制御部73が、各ブロックに対して入力データ取り込み、メモリアクセス、および、表示系への出力タイミングの制御を行う。このように、画像メモリコントローラ71に対し、合計8ポートの入出力が接続されるわけであるが、二入力の画像が同時に入り、それぞれの画像処理プロセッサで画像の前処理や空間処理、縮小拡大といった三次元的なものを含む

6

処理を行い（このため、メモリ側から二ポートの入力が必要）、この画像処理と平行して、取り込みデータ、もしくは、画像処理結果、または別にメモリに保持している画像データを二つの表示系に転送する必要がある。さらに、一般的には、NTSCに代表される、ビデオ信号に準拠したデータ転送を行う場合が多い。例えば、NTSCの場合は、画像の横方向1ライン分640データを連続して転送する必要がある。以上の条件下では、データのずれや、抜けなどが生じると、画像処理プロセッサ74では、画像上の同一位置の画素における演算などが成立しなくなり、TV等の表示では、目で認識できるようなずれ、抜けなどが生じる可能性があり、リアルタイム処理を犠牲にしない限り、誤差が入り込む余地のあるシステム構成となる。しかし、これまでに述べた発明メモリコントローラを使用すれば、リアルタイム性を損なうことなく、誤差の生じない画像間演算が可能となり、また、この画像プロセッサの動作が表示側に影響を及ぼさない構成を組むことが可能となる。

【0017】以上により、誤差の生じない画像処理システムを構築することが可能となる。

【0018】

【発明の効果】本発明のメモリコントロール装置によれば、I/Oポートの連続リードライト、外部リードライトタイミング信号に対するリアルタイムデータ出力、随時レジスタR/Wを実現することが可能となり、大量データをリアルタイムで連続的に処理する必要がある装置で、そのメモリに対して、多数のポートが必要になる場合にも、メモリに対するパフォーマンスを向上することなく、リアルタイム性を保持しつつ、連続したデータをリード・ライトできること、またソフト上の制約をなくして随時R/Wをそれぞれ可能にしておき、内部周辺回路の単純化が図れるとともに、画像処理では、今日のビデオレートの高速度化や、画像処理の複雑化、複数入出力ポートの必要性などにも対応可能なシステムを構築することができる。

【図面の簡単な説明】

【図1】従来例を示すブロック図。

【図2】I/Oポートバッファ構造（メモリリード・ポート出力）の説明図。

【図3】I/Oポートバッファ構造（メモリライト・ポート入力）の説明図。

【図4】起動制御部のブロック図。

【図5】制御レジスタ括変更部のブロック図。

【図6】本発明の全体構成を示すブロック図。

【図7】画像処理システム適用例のブロック図。

【符号の説明】

61…メモリコントローラ、62…I/Oポート部、63…アドレスシーケンス部、64…スキャンコントロール部、65…ホストI/F部。

【図4】

4

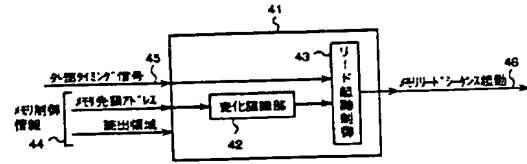
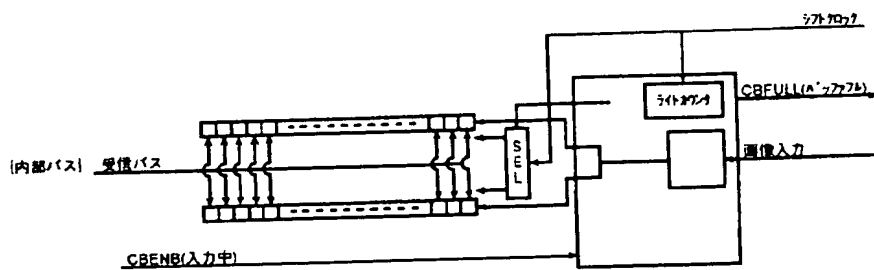


图 2

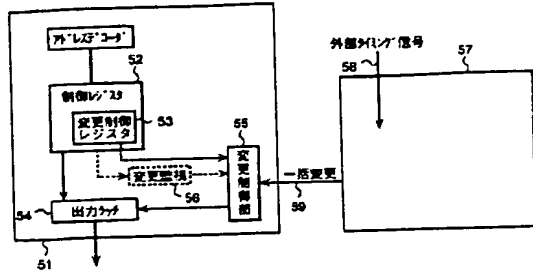


圖 3



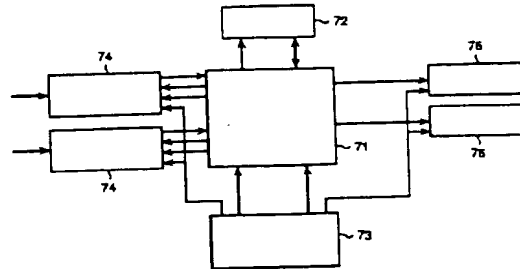
【図5】

図 5



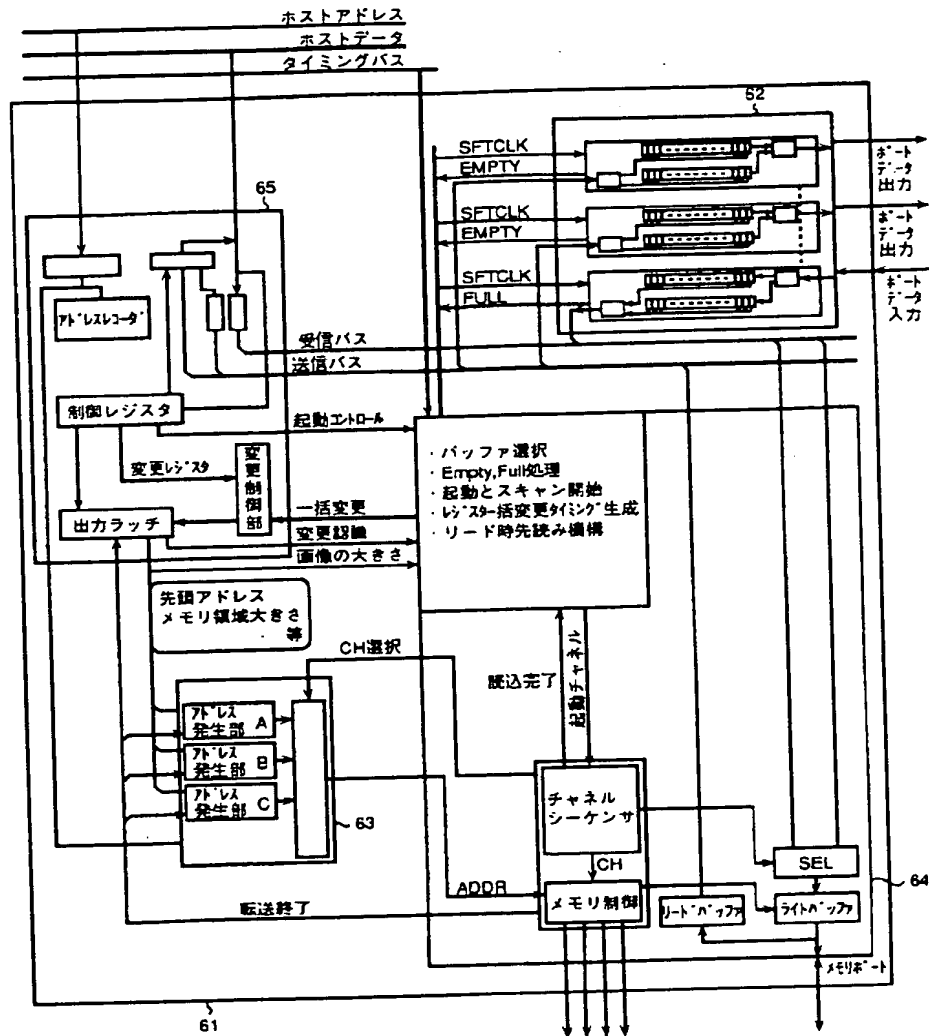
【図7】

図 7



【図6】

図 6



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

G 0 6 F 15/64

4 5 0 H